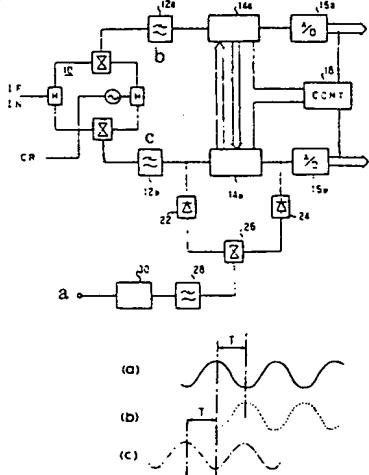


- (54) DELAY DISCRIMINATION CIRCUIT
 (11) 1-55921 (A) (43) 2.3.1989 (19) JP
 (21) Appl. No. 62-213282 (22) 27.8.1987
 (71) FUJITSU LTD (72) MASAYUKI ONUKI
 (51) Int. Cl. H04B1/16, H03H11/02, H03H15/00

PURPOSE: To attain the processing such as the disconnection of resonance equalizer, by constituting a circuit by a clock extraction circuit connected to an input and an output of a transversal equalizer, a phase comparator and a comparator receiving the output of the phase comparator and outputting a minimum phase/nonminimum phase discriminating signal.

CONSTITUTION: A clock is extracted from the input/output of a transversal equalizer by clock extraction circuits 22, 24, given to a phase comparator 26 and the phase is compared, then an output corresponding to the delay time T and lead time T is obtained. It is given to a comparator 30 through a low pass filter 28. Thus, when the input exceeds a threshold level the comparator 30 produces an H level signal representing a nonminimum phase and when the input does not exceed the threshold level, an L level signal representing the minimum phase is generated. Thus, the discrimination of minimum/nonminimum phase in fading is attained and the insertion/removal of the resonance equalizer is attained.

: clock
on and
c. 16:

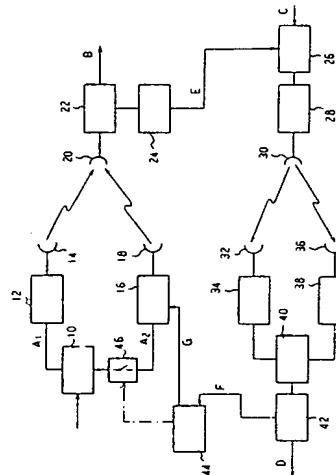


14a,14b: transversal equalizer. b: I channel. c: Q channel.
 a: discrimination signal

- (54) TRANSMISSION SD SYSTEM
 (11) 1-55922 (A) (43) 2.3.1989 (19) JP
 (21) Appl. No. 62-213283 (22) 27.8.1987
 (71) FUJITSU LTD (72) TADASHI KAWADA
 (51) Int. Cl. H04B7/06

PURPOSE: To contrive the saving of power consumption, by inserting a switch opened in the absence of fading between an IF branching circuit and an SD transmission panel in the transmission SD system provided with a transmission panel receiving a main signal, the SD transmission panel, an EPS control circuit and a detection control circuit.

CONSTITUTION: A switch 46 is inserted between an IF branching circuit 10 and the SD transmission panel 16. The switch 46 is closed at the occurrence of fading. The main signal A₁ at the main side is subjected to frequency conversion and power amplification by the transmission panel 12 and transmitted from an antenna 14. Moreover, the IF signal A₂ of the SD side enters the SD transmission panel 16 through the switch 46, subjected to frequency conversion and power amplification and the result is transmitted from an antenna 18. The switch 46 is opened in the stable state without fading. Since no IF input A₂ exists in the SD transmission panel 16, no RF output exists and the transmission is the single transmission by the transmission panel 12 and the antenna 14. Thus, the power consumption is by only one transmission panel.

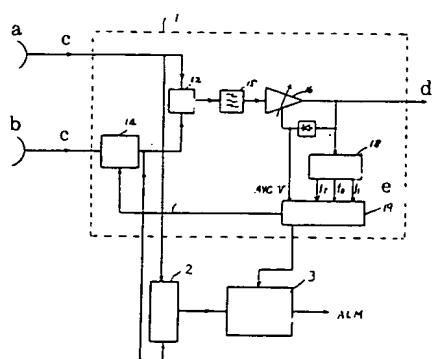


44: EPS control circuit. 42: control signal separation circuit.
 40: IF synthesis circuit. 34.22: reception panel. 38: SD
 reception panel. 24: detection control circuit. 28: transmission
 panel. 26: control signal insertion circuit

- (54) SPACE DIVERSITY CONTROL CIRCUIT
 (11) 1-55923 (A) (43) 2.3.1989 (19) JP
 (21) Appl. No. 62-213313 (22) 27.8.1987
 (71) FUJITSU LTD (72) EIICHI HIRAYAMA
 (51) Int. Cl. H04B7/08

PURPOSE: To contrive the improvement of the efficiency of maintenance, by providing a inverse synthesizer synthesizing the phase of reception signal of main and sub antennas in opposite phase and a detection circuit detecting a periodic minute level of a phase shifter appearing at the output of the inverse synthesizer so as to quicken the location of a device fault and a line fault quickly.

CONSTITUTION: The reception signal of the main antenna and the reception signal of the sub antenna phase-shifted by a phase shifter 14 are synthesized by a synthesizer 12. Then a synthesizing signal of an output of the synthesizer 12 is subjected to band limit by a filter 15, the level fluctuation is suppressed by an AGC amplifier 16 and in-band amplitude deviations f₀, f₊, f₋ are detected by a detection section 18. On the other hand, since the inverse synthesizer 2 synthesizes the reception signals of the main antenna and the sub antenna in opposite phase, a minute level change in the reception signal based on the phase shifter appears eminently in the synthesized output at the normal state of the circuit. The detection circuit 3 can detect a minute level change appearing at the output of the inverse synthesizer 2 with high accuracy in the normal state. Thus, the fault of a reception circuit 1 and the fault in a radio line are identified to locate the device fault from the line fault.



1: space diversity reception circuit. a: main antenna. b:
 sub antenna. c: reception signal. d: reception signal output.
 e: amplitude deviation. 19: level control circuit. ALM:
 alarm. c: control signal

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭64-55922

⑬ Int.CI. 4

H 04 B 7/06

識別記号

庁内整理番号

7251-5K

⑭ 公開 昭和64年(1989)3月2日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 送信SD方式

⑯ 特願 昭62-213283

⑰ 出願 昭62(1987)8月27日

⑱ 発明者 川田 正 神奈川県川崎市中原区上小田中1015番地 富士通株式会社

内

⑲ 出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代理人 弁理士 青柳 稔

明細書

1. 発明の名称

送信SD方式

2. 特許請求の範囲

I F 分岐回路 (10) を介して主信号が入力される送信盤 (12) および SD 送信盤 (16) と、受信側より送られる制御信号 (E) に従って該 SD 送信盤の移相器を制御する信号 (G) を出力する E P S 制御回路 (44) と、受信状態に応じて前記移相器の移相量を指示する前記制御信号 (E) を出力する検波制御回路 (24) とを備える送信 SD 方式において、

前記 I F 分岐回路 (10) と SD 送信盤 (16) との間に、フェージングのないとき聞く切替器 (46) を挿入したことを特徴とする送信 SD 方式。

3. 発明の詳細な説明

(概要)

マイクロ波通信システムに用いられる送信 SD 方式に関し、

フェージング発生時の送信 SD 方式になるよ

うにして消費電力を節減を図ることを目的とし、I F 分岐回路を介して主信号が入力される送信盤および SD 送信盤と、受信側より送られる制御信号に従って該 SD 送信盤の移相器を制御する信号を出力する E P S 制御回路と、受信状態に応じて前記移相器の移相量を指示する前記制御信号を出力する検波制御回路とを備える送信 SD 方式において、前記 I F 分岐回路と SD 送信盤との間に、フェージングのないとき聞く切替器を挿入した構成とする。

(産業上の利用分野)

本発明は、マイクロ波通信システムに用いられる送信 SD (スペースダイバーシティ) 方式に関する。

マイクロ波通信システムにおいてはフェージングの厳しい条件では SD 方式が有効であり、そして通常は消費電力が少なくて済む受信 SD 方式が採用されるが、受信側でアンテナを 2 面、離して設置するのが困難などの場合は受信 SD 方式がと

れず、止むを得ず送信SD方式が採用される。

(従来の技術)

第2図に従来の送信SD方式を示す。送信側では主信号Aがハイブリッド10を介して送信盤12とSD送信盤16に入り、アンテナ14、18より送出される。受信側ではアンテナ20によりこれらを受け、受信盤22によりRF増幅、MIX等してIF出力Bを生じる。また受信出力は検波制御回路24により検波され、信号スペクトル分布をフラットに制御する信号(所定角度移相させる信号)Eが作成される。この制御信号Eは挿入回路26により受信側送信信号Cに加えられ、送信盤28を通してアンテナ30より送出される。

送信側ではこれをアンテナ32、36で受信し、受信盤34、SD受信盤38、IF合成回路40を通して制御信号分離回路42に取り込み、前記制御信号Eを送信信号Cより分離し、前者をF、後者をDとして出力する。制御信号F(前記E)はEPS(エンドレスフェーズシフタ)制御回路44

に入力し、SD送信盤16への位相制御信号Gを出力させる。本方式はヘテロダイン方式であって、信号Aは中間周波(IF)であり、これは送信盤12に入力して、図示しないが移相器を経て混合器に入り、ここで局部発振器の出力周波数と混合されて高周波(RF)に変換され(送信盤12でも同様であるが、これには移相器はない)、電力増幅されたのちアンテナ18より送信されるが、制御信号GはSD送信盤16の上記移相器の移相量を変える。

この結果受信側での受信状態が変り、後波制御回路24の検波出力が変るが、これが前回検波出力より悪くなつておれば(一層フラットでなくなっているなら)制御信号Eにより前回とは逆の移相方向の移相を指示し、前回検波出力よりやゝ良くなつておれば前回と同方向の移相を指示し、充分よくなつておれば移相指示しない。こうしてフェージングによるディップの少ない受信状態を確保することができる。

制御信号EはSD送信盤16の移相器の移相量

と移相方向を指示するものであるが、1回に指示する移相量は一例として $360^\circ / 256$ を1ステップとしてその1ステップとする、検波出力の悪化度に応じて1、2、4、……ステップとするなど、方式により異なる。

アンテナは送受信兼用とする場合が多く、この場合は14と32、18と36、20と30は1つのアンテナになる。勿論アンテナ14と18は取付け位置が異なり、特性は同じであるが共用はできない。受信SD方式では送信側アンテナは1つ、受信側アンテナは設置位置を異ならせて2つとなる。この受信SD方式では、当然、送信側へ受信状態を知らせる(送信条件の変更要求)ことはせず、最適受信状態への調整は受信側単独で処理する。

(発明が解決しようとする問題点)

ところで送信SD方式では送信系を2系統持つため、消費電力が著しく大きいという問題がある(送信機は受信機に比べて消費電力が桁違いに大

きい)。

送受信系を2重に持つSD方式でも、フェージングの発生しない安定状態では一方の系だけでも充分満足な受信ができる。

本発明はかかる点に着目するものであり、フェージング発生時のみ送信SD方式になるようにして消費電力の節減を図ることを目的とするものである。

(問題点を解決するための手段)

上記目的は、IF分岐回路(10)を介して主信号が入力される送信盤(12)およびSD送信盤(16)と、受信側より送られる制御信号(E)に従って該SD送信盤の移相器を制御する信号(G)を出力するEPS制御回路(44)と、受信状態に応じて前記移相器の移相量を指示する前記制御信号(E)を出力する検波制御回路(24)とを備える送信SD方式において、前記IF分岐回路(10)とSD送信盤(16)との間に、フェージングのないとき聞く切替器(46)を挿入した構成とするこ

とにより達成される。

【作用】

上記構成によれば、フェージングのないときは单一送受信系とすることができるから、電力損失を大幅に低減することができる。

【実施例】

第1図に本発明の実施例を示す。第2図と同じ部分には同じ符号が付してあり、両図を比較すれば明らかのように本発明ではIF分岐回路10とSD送信盤16との間に切替器46を挿入する。

切替器46はフェージング発生時に閉じ、これにより第1図のシステムは第2図のシステムと同じ送信SD方式になる。即ち主信号AはIF分岐回路(ハイブリッド)10により2分され、メイン側のIF信号A₁は送信盤18で周波数変換、電力増幅され、アンテナ14より送出される。またSD側のIF信号A₂は、今は閉じている切替器46を経てSD送信盤16に入り、こゝで周

波数変換、電力増幅され、アンテナ18より送信される。なおこのとき、受信側の制御信号Eにより発生された制御信号Gにより、SD送信盤16内の移相器を操作し、受信側の受信出力が最良になるようとする。

受信側ではアンテナ20により、送信アンテナ14、18からの送信波の合成波を受信し、受信盤22でRF増幅、周波数変換し、IF出力Bを生じる。更に、IF出力は検波制御回路24に入力され、SD送信盤の移相器の制御方向及び制御量を示す制御信号Eが作られる。本発明では更に、制御信号Eにはフェージングの有無をも表示させる。この制御信号Eは挿入回路26で受信側送信信号Cに加えられ、送信盤28を経てアンテナ30より送信側へ送出される。

送信側ではこれをアンテナ32、38で受信し、受信盤34、38、IF合成回路40を経て分離回路42へ導き、こゝで制御信号Eを分離する。制御信号E(こゝではF)はEPS制御回路44に入力され、こゝで位相制御信号Gとなり、SD

送信盤16の移相器を制御する。

フェージングのない安定時は、切替器46を開く。この状態ではSD送信盤16はIF入力A₂がないためRF出力もなく、送信は送信盤12、アンテナ14による单一送信になる。受信側ではこれを受信し、検波制御回路24でフェージングのないことを検出しして切替器13のオープン命令を作成し、これを制御信号Eとする。これにより上記切替器46の開放状態が保持される。

こうして单一送受信を行なっているときフェージングが発生すると制御信号Eはオープン命令信号から移相量指示信号に変り、これによりEPS制御回路44は切替器46を閉じ、また位相制御信号Gを出力する。更にこの送信SD状態でフェージングが止まると、検波制御回路24はこれを検出して制御信号Eをオープン命令にする。或いは定期的に切替器46を開き、フェージングが止まっておればそのまま(单一送受信)、フェージングが続いておれば制御信号Eによる切替器46の閉成、送信SDへの復帰、としてもよい。

【発明の効果】

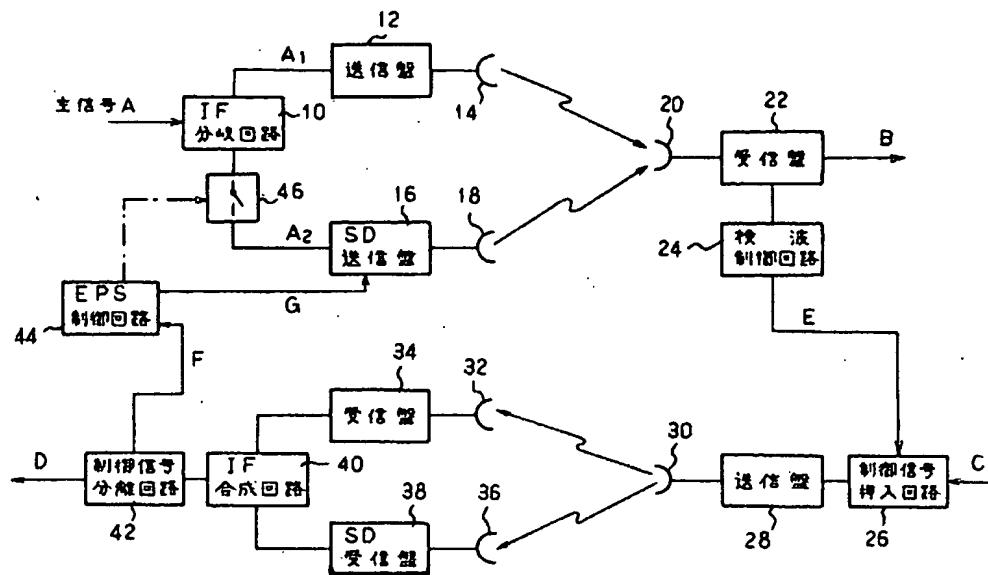
以上説明したように本発明によれば、送受信装置で最も消費電力の大きい部分である送信盤を2台使う送信SD方式において、フェージングのない安定時には单一送受信方式に切替えるので消費電力を送信盤一台分で済ませることができ、甚だ有効である。

4. 図面の簡単な説明

第1図は本発明方式を示すブロック図、
第2図は従来方式を示すブロック図である。

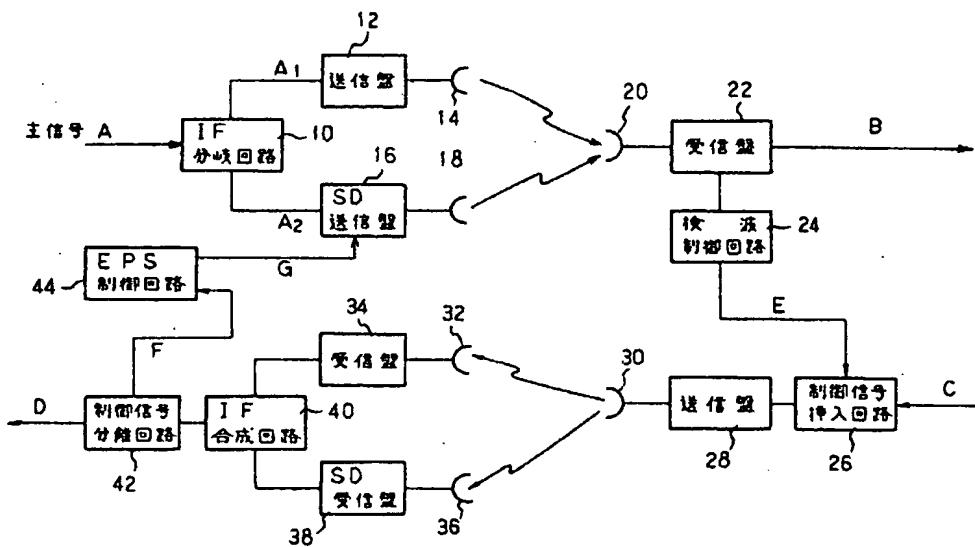
第1図で14、18、20、30、32、36はアンテナ、46は切替器である。

出願人 富士通株式会社
代理人弁理士 青柳稔



本発明方式を示すブロック図

第1図



従来方式を示すブロック図

第2図